**Информатика 1 курс**

**Законспектировать материал**

**Тема: Логические основы устройства компьютера**

**1. Базовые логические элементы**

Дискретный преобразователь, который после обработки входных двоичных сигналов выдает на выходе сигнал, являющийся значением одной из логических операций, называется логическим элементом. Базовые логические элементы реализуют три базовые логические операции:

• логический элемент «И» (конъюнктор) — логическое умножение;

• логический элемент «ИЛИ» (дизъюнктор) — логическое сложение;

• логический элемент «НЕ» (инвертор) — инверсию.

Любая логическая операция может быть представлена в виде комбинации трех базовых, поэтому любые устройства компьютера, производящие обработку или хранение информации (сумматоры в процессоре, ячейки памяти в оперативной памяти и др.), могут быть собраны из базовых логических элементов.

Логические элементы компьютера оперируют с сигналами, представляющими собой электрические импульсы. Есть импульс — логическое значение сигнала 1, нет импульса — значение 0. На входы логических элементов поступают сигналы-аргументы, на выходе появляется сигнал — значение функции.

Преобразование сигнала логическим элементом задается таблицей состояния, которая фактически является таблицей истинности, соответствующей логической функции.

**Логический элемент «И» — конъюнктор (рис. 1)**. На входы А и В логического элемента последовательно подадим четыре пары сигналов, на выходе получим последовательность из четырех сигналов, значения которых определяются в соответствии с таблицей истинности операции логического умножения.

А(0,0,1,1)

 И F(0,0,0,1)

 В(0,1,0,1)

***Рис. 1. Логический элемент «И» — конъюнктор***

**Логический элемент «ИЛИ» — дизъюнктор (рис. 2)**. На входы А и В логического элемента последовательно подадим четыре пары сигналов, а на выходе получим последовательность из четырех сигналов, значения которых определяются в соответствии с таблицей истинности операции логического сложения.

А(0,0,1,1)

 ИЛИ F(0,1,1,1)

 В(0,1,0,1)

***Рис. 2. Логический элемент «ИЛИ» — дизъюнктор***

**Логический элемент «НЕ» — инвертор (рис. 3)**. На вход А логического элемента последовательно подадим два сигнала, на выходе получим последовательность из двух сигналов, значения которых определяются в соответствии с таблицей истинности логической инверсии.

 А(0,1) НЕ F(1,0)

***Рис. 3. Логический элемент «НЕ»***

**2. Сумматор двоичных чисел**

В целях максимального упрощения работы компьютера всё многообразие математических операций в процессоре сводится к сложению двоичных чисел. Поэтому главной частью процессора является сумматор, который как раз и обеспечивает такое сложение. Сумматор составляется из базовых логических элементов.

**Полусумматор.** При сложении двоичных чисел образуется сумма в данном разряде, при этом возможен перенос в старший разряд. Обозначим слагаемые — **А** и **В**, перенос — **Р** и сумму — **S**. Таблица сложения одноразрядных двоичных чисел с учетом переноса в старший разряд выглядит следующим образом (табл. 1).

***Таблица 1. Таблица сложения одноразрядных двоичных чисел***

|  |  |  |
| --- | --- | --- |
| **Слагаемые** | **Перенос** | **Сумма** |
| **А** | **В** | **Р** | **S** |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Из этой таблицы видно, что перенос можно реализовать с помощью операции логического умножения:

*Р = А & В.*

Получим теперь формулу для вычисления суммы. Значения суммы более всего совпадают с результатом операции логического сложения (кроме случая, когда на входы подаются две единицы, а на выходе должен получиться ноль).

Нужный результат достигается, если результат логического сложения умножить на инвертированный перенос. Таким образом, для определения суммы можно применить следующую логическую функцию:

*S =* *( A v B ) & (* $\overbar{A \& B })$

Построим таблицу истинности для данной логической функции и убедимся в правильности нашего предположения (табл. 2).

***Таблица 2. Таблица истинности логической функции***

***F =* *( A v B ) & (*** $\overbar{A \& B })$

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| ***A*** | ***B*** | ***A v B*** | ***A & B*** | ***(*** $\overbar{A \& B })$ | ***( A v B ) & (*** $\overbar{A \& B })$ |
| 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 |

Теперь на основе полученных логических формул можно построить из базовых логических элементов схему сложения одноразрядных двоичных чисел.

По логической формуле переноса можно определить, что для получения переноса необходимо использовать логический элемент «И».

Анализ логической формулы для суммы показывает, что на выходе должен стоять элемент логического умножения «И», который имеет два входа. На один из входов подается результат логического сложения исходных величин A v В, т. е. на него должен подаваться сигнал с элемента логического сложения «ИЛИ».

На второй вход требуется подать результат инвертированного логического умножения исходных сигналов, т. е. на второй вход подается сигнал с элемента «НЕ», на вход которого поступает сигнал с элемента логического умножения «И» (рис. 4).

Данная схема называется полусумматором, так как реализует суммирование одноразрядных двоичных чисел А и В без учета переноса из младшего разряда.

A

 И ***A & B***

В

 ***A & B*** НЕ $\overbar{A \& B }$

 И ***( A v B ) & (*** $\overbar{A \& B })$

 ИЛИ ***A v B***

***Рис. 4. Полусумматор двоичных чисел***

Для сложения многоразрядных двоичных чисел служит сумматор, который составляется из полусумматоров.

**Полный одноразрядный сумматор.** Полный одноразрядный сумматор должен иметь три входа: *А, В* — слагаемые и Ро - перенос из младшего разряда и два выхода: сумму S и перенос *Р.* Таблица сложения в этом случае будет иметь следующий вид:

|  |  |  |  |
| --- | --- | --- | --- |
| **Слагаемые** | **Перенос из младшего разряда** | **Перенос** | **Сумма** |
| ***А*** | ***В*** | ***Р0*** | ***Р*** | ***S*** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Идея построения полного сумматора точно такая же, как и полусумматора. Из таблицы сложения видно, что перенос (логическая переменная *Р)* принимает значение 1 тогда, когда хотя бы две входные логические переменные одновременно принимают значение 1. Таким образом, перенос реализуется путем логического сложения результатов попарного логического умножения входных переменных *(А,* В, *Ро).* Формула переноса получает следующий вид:

*P = ( A & B ) v ( A & P0 ) v ( B & P0 )*

Для получения значения суммы (логическая переменная *S)* необходимо результат логического сложения входных переменных *(А, В, Ро)* умножить на инвертированный перенос *Р:*

*S = ( A v B v P0) &* $\overbar{P}$

Данное логическое выражение дает правильные значения суммы во всех случаях, кроме одного, когда на все входные логические переменные принимают значение 1. Действительно:

*P = ( 1 & 1 ) v ( 1 & 1 ) v ( 1 & 1 ) = 1,*

*S = ( 1 v 1 v 1) &* $\overbar{P}$ *= 1 & 0 = 0*

Для получения правильного значения суммы (для данного случая переменная *S* должна принимать значение 1) необходимо сложить полученное выше выражение для суммы с результатом логического умножения входных переменных (А, *В, Ро).* В результате логическое выражение для вычисления суммы в полном сумматоре принимает следующий вид:

*S = ( A v B v P0) &* $\overbar{P}$ *v ( A & B & P0)*

Многоразрядный сумматор. Многоразрядный сумматор процессора состоит из полных одноразрядных сумматоров. На каждый разряд ставится одноразрядный сумматор, причем выход (перенос) сумматора младшего разряда подключается ко входу сумматора старшего разряда.